

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-081505

(43)Date of publication of application : 22.03.1990

(51)Int.Cl.

H03G 3/10

(21)Application number : 63-232484

(71)Applicant : HITACHI LTD
HITACHI VIDEO ENG CO LTD

(22)Date of filing : 19.09.1988

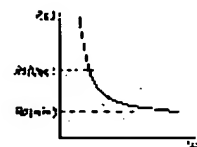
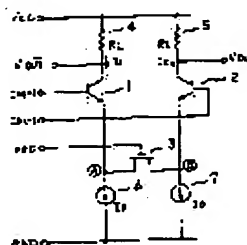
(72)Inventor : YOSHINO EIJI
NAGATA SHUNJI

(54) VARIABLE GAIN AMPLIFIER

(57)Abstract:

PURPOSE: To form a variable gain amplifier with high gain and wide variable width by providing a MOS transistor(TR) between emitters of an input TR pair and controlling a gate voltage of the MOS TR so as to vary the gain.

CONSTITUTION: The ON resistance ROS of the MOS TR 3 is varied as shown in figure by controlling the gate voltage of the MOS TR 3 provided between emitters of input TR pair 1, 2 being a component of a differential amplifier. Then the emitter load out of the collector load and the emitter load deciding the gain of the differential amplifier is varied resulting that the gain is varied. Thus, the gain of the amplifier is varied without changing the DC current deciding the operating condition of the input TRs 1, 2 and the variable gain amplifier with a wide variable gain width and high gain is obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-81505

⑤ Int. Cl.³
H 03 G 3/10

識別記号 庁内整理番号
B 7210-5 J

④ 公開 平成2年(1990)3月22日

審査請求 未請求 請求項の数 1 (全4頁)

⑬ 発明の名称 可変利得増幅器

⑭ 特 願 昭63-232484

⑮ 出 願 昭63(1988)9月19日

⑯ 発 明 者 吉 野 英 治 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内
⑯ 発 明 者 永 田 俊 次 神奈川県横浜市戸塚区吉田町292番地 日立ビデオエンジニアリング株式会社内
⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑰ 出 願 人 日立ビデオエンジニアリング株式会社 神奈川県横浜市戸塚区吉田町292番地
⑱ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

可変利得増幅器

2. 特許請求の範囲

1. 1組の入力トランジスタ対とこれらトランジスタのコレクタ側に接続される負荷抵抗とエミッタ側に接続されトランジスタに電流を供給する定電流源回路よりなる差動増幅器において入力トランジスタ対のエミッタ間にMOSトランジスタを設けMOSトランジスタのゲート電圧を制御することにより利得可変とすることを特徴とする可変利得増幅器。

3. 発明の詳細な説明

(産業上の利用分野)

記録再生装置の再生回路及び通信用、民生用に使用される可変利得増幅器に係り、ダイナミックレンジが広く、高利得で利得可変幅の広い増幅器に関する。

(従来の技術)

記録再生装置の再生回路では、ダイナミックレ

ンジが広く、高利得で利得可変幅の広い増幅器が必要である。従来、特開昭62-183207号公報に記載されているように第4図に示す可変利得増幅器が一般に使用されている。この回路は、トランジスタ1, 2、抵抗4~7及び定電流源20から構成される差動増幅器を基本としている。利得制御は、IN(+), IN(-)に入力された信号に応じてトランジスタ対1, 2に流れる電流I₁, I₂をトランジスタ対11, 12及び13, 14で構成される2組の差動対のベース入力電圧、V_{ASG}, V_{REF}を制御することにより分派し、負荷抵抗4, 5に流れる電流を制御することで行うものであり、利得は

$$G = \frac{\Delta V_O}{\Delta V_{IN}} = \frac{V_{OUT} - V_{OUT}}{V_{IN(+)} - V_{IN(-)}} \approx \frac{2K \cdot R_L \cdot \Delta I_B}{2R_B \cdot \Delta I_B} = K \cdot \frac{R_L}{R_B} \dots (1)$$

で示される。但し、

$$\left. \begin{aligned} V_{OUT} &= V_{CC} - R_L(I_0 - K \cdot \Delta I_B) - V_{BE} \\ V_{OUT} &= V_{CC} - R_L(I_0 + K \cdot \Delta I_B) - V_{BE} \end{aligned} \right\} \dots (2)$$

ΔI_Bは電流で示す信号変化量、Kは電流分派比とする。従って、本回路は利得が電流分派比Kで制御される可変利得増幅器を構成している。

特開平2-81505 (2)

〔発明が解決しようとする課題〕

上記従来技術は、第4図のトランジスタ対11、12、及び13、14で構成される2組の差動対のベース入力電圧 V_{AOC} 、 V_{REF} を制御することにより出力負荷抵抗に流れる電流を分流し利得を制御する方式である。ところで、(1)式の分流比 K を減少させ利得を減少させていく場合を考えると、入力信号変化を出力負荷抵抗4、5に伝える電流 KI_1 、 KI_2 は電流分流比 K に比例して減少することになる、このとき、 KI_1 、 KI_2 は

$$\left. \begin{aligned} KI_1 &= K(I_0 - \Delta I_0) = KI_0 - K\Delta I_0 \\ KI_2 &= K(I_0 + \Delta I_0) = KI_0 + K\Delta I_0 \end{aligned} \right\} \dots\dots (3)$$

で表され、直流成分 KI_0 も電流分流比 K に比例して減少する。この直流成分はトランジスタ11、14の動作条件を決定する重要なパラメータであり、その減少は歪の問題を引き起こす大きな要素となるため、広入力ダイナミックレンジ、広可変利得幅を有する可変利得増幅器を構成する場合に大きな問題となる。

本発明の目的は、上記問題点を解決すること

となく増幅器の利得を変化させることができる。

〔実施例〕

以下、本発明の実施例を第1図、第2図、第3図、第5図により説明する。

第1図に本発明による可変利得増幅器を示す。第1図において、トランジスタ1、2が入力トランジスタ対、抵抗4、5が負荷抵抗、定電流源6、7が電流供給用定電流源回路、④、⑤に接続されたトランジスタ3がゲート電圧制御を行うMOSトランジスタを示しており、上記各構成要素から可変利得増幅器を構成している。

次に可変利得の原理を説明する。第1図の利得は、トランジスタ1、2のエミッタ抵抗を r_e 、トランジスタ1、2のエミッタから見たエミッタ側負荷抵抗を R_0 とすると、近似的に次式で表される。

$$G \approx \frac{R_L}{r_e + R_0} \dots\dots\dots (4)$$

ここで、 R_0 は④、⑤間に接続された負荷を R_L とすると次式のように書き換えられる。

$$G \approx \frac{R_L}{r_e + \frac{R_L}{2}} \dots\dots\dots (5)$$

より、入出力ダイナミックレンジが広く、高利得で可変幅の広い可変利得増幅器を提供することにある。

〔課題を解決するための手段〕

上記目的を達成するために、本発明は差動増幅器を構成する1組の入力トランジスタ対のエミッタ間にMOSトランジスタを設けそのゲート電圧を制御することによりMOSトランジスタの R_{os} (オン抵抗) を変化させることで利得を変化させるようにしたものである。

〔作用〕

差動増幅器を構成する1組の入力トランジスタ対のエミッタ間に設けたMOSトランジスタは、そのゲート電圧を制御することによりMOSトランジスタの R_{os} が第2図に示すように変化し、それによって差動増幅器の利得を決定するコレクタ側負荷及びエミッタ側負荷のうちエミッタ側負荷の大きさが変化することになり結果的に利得が変化するよう動作する。従って、入力トランジスタの動作条件を決定する直流電流を変化させるこ

と、④、⑤間に接続されたトランジスタ3はMOSトランジスタであり、ゲートに印加される電圧 V_{oc} と R_{os} には第2図に示されるように、 R_{os} はゲート電圧 V_{oc} に制御されて変化する。従って、

(5)式で示される利得は

$$G \approx \frac{R_L}{r_e + \frac{R_L(V_{oc})}{2}} \dots\dots\dots (4)$$

となり、 V_{oc} の関数で示される利得可変となる。最小利得は、 $R_L(V_{oc})$ の最小値 $R_0(\min)$ で決まり、最大利得は $R_L(V_{oc})$ の最大値 $R_0(\max)$ で決まり、

$$G_{\max} = \frac{R_L}{r_e + \frac{R_0(\min)}{2}} \dots\dots\dots (7)$$

$$G_{\min} = \frac{R_L}{r_e + \frac{R_0(\max)}{2}} \dots\dots\dots (8)$$

で示される。

$R_0(\min)$ は第3図に示すようにMOSトランジスタのゲートサイズ (W/L) をパラメータとして W/L - 大とすると $R_0(\min)$ - 小、 W/L - 小とすると $R_0(\min)$ - 大と変化する性質がある。従って、

特開平2-81505 (3)

出力負荷抵抗 R_L と R/L を適当な値に設定することにより決まる $R_0(\min)$ から所望の最大利得を選ぶことが可能である。また、 $R_0(\max)$ は R/L が変化しても数 $\text{k}\Omega$ ～ 数百 $\text{k}\Omega$ であるため最小利得を無限小に小さくすることができ、低利得側への利得可変幅を大きくとることが可能となる。

一方、トランジスタ対を介し負荷抵抗 4, 5 へ流れる電流 I_1, I_2 は信号変化量を ΔI_s とすると

$$\left. \begin{aligned} I_1 &= I_0 - \Delta I_s \\ I_2 &= I_0 + \Delta I_s \end{aligned} \right\} \dots\dots\dots (9)$$

で示され、トランジスタを流れる直流電流は I_0 で一定である。従って直流電流変化に帰因する歪の問題は生じず、利得可変幅の広い増幅器とすることができる。

第5図に示す回路は第1図に示す本発明の基本回路の④、⑤間に設けられたトランジスタ3に並列に抵抗8を設けた回路である。本回路の基本的な動作原理は第1図で示される回路と同じであるがエミッタ側負荷が、トランジスタ3のゲート電圧 V_{gc} に制御される $R_x(V_{gc})$ と抵抗8 (抵抗値 $2R_s$)

との並列負荷であることから利得は、

$$G = \frac{R_L}{r_s + \frac{R_x(V_{gc})}{2} \parallel R_s} \dots\dots\dots (10)$$

で示され、最小、最大利得は

$$G_{\max} = \frac{R_L}{r_s + \frac{R_0(\min)}{2} \parallel R_s} \dots\dots\dots (11)$$

$$G_{\min} = \frac{R_L}{r_s + \frac{R_0(\max)}{2} \parallel R_s} \approx \frac{R_L}{r_s + R_s} \dots\dots (12)$$

で示される。従って最小利得は無限小とはならず④、⑤間に設けられた抵抗8の抵抗値で決まる利得となり、第1図に比べて可変幅が狭く限定されることになるが、最大、最小利得を所望の値に設定することが可能である。

(発明の効果)

本発明によれば、トランジスタの動作条件を決定する直流電流を変化させることなく利得を変化させることができるので可変利得幅が広く高利得な可変利得増幅器を構成できる。

また、回路構成が基本的な差動増幅器と同じ構成であるため、入出力ダイナミックレンジを広く

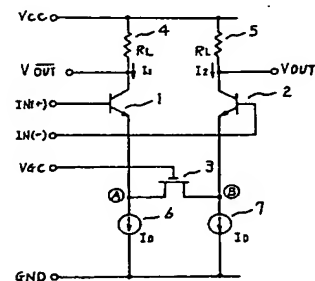
できるだけなく低電力化も可能である。

4. 図面の簡単な説明

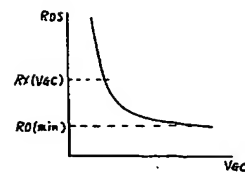
第1図は本発明の一実施例を示す図、第2図はMOSトランジスタの $R_{DS} - V_{gc}$ 特性を示す図、第3図はゲートサイズをパラメータとしたMOSトランジスタの $R_{DS} - V_{gc}$ 特性を示す図、第4図は従来技術例を示す図、第5図は別の一実施例を示す図である。

1, 2...トランジスタ、3...MOSトランジスタ、4, 5...負荷抵抗、6, 7...定電流源。

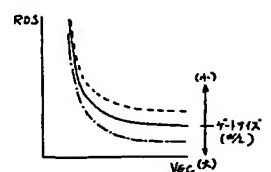
第1図



第2図



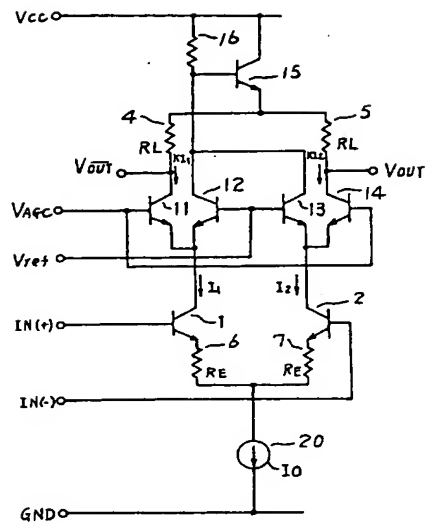
第3図



代理人 弁理士 小川勝男

特開平2-81505 (4)

第 4 図



第 5 図

